

請求の範囲 (WHAT IS CLAIMED IS)

1. 各列がデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有する構造のデータを少なくとも1セクタ格納するバッファメモリと、該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を行ってバッファメモリ内の誤りデータを訂正する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、誤り検出手段における誤り検出処理の途中結果を列単位で格納する記憶手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なされる等の制御をするシステム制御手段とを有する誤り訂正装置において、

上記バス制御手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、上記バッファメモリから上記シンドローム計算手段と上記誤り検出手段とに誤り訂正すべきデータを列単位で同時に転送するシンドローム発生前同時転送手段と、

上記シンドローム計算手段で誤り符号が検出されると、バッファメモリの後続のデータは列単位で上記シンドローム計算手段のみに転送するシンドローム発生後一方転送手段と、

上記シンドローム計算手段からのシンドロームを基に上記誤り訂正手段によるバッファメモリ内のデータの誤り訂正後に、上記誤り符号が検出されたデータを含む符号列から最後の符号列までの訂正後のデータを誤り検出のため上記バッファメモリから上記誤り検出手段に列単位で転送する誤り検出用データ転送手段を有し、

上記誤り検出手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、誤り検出の途中結果を符号列毎に上記記憶手段に格納しながら、上記シンドローム計算手段でのシンドローム計算と並行して上記バッファメモリから送られてくる符号列の誤り検出を実行する平行処理手段と、

上記シンドローム計算手段で誤り符号が検出された以降の符号列の誤り検出は、上記誤り訂正手段による誤り訂正後バッファメモリから転送されてくるデータに対して、上記記憶手段に既に記憶されている誤り発生前の内容の符号列から引き続いて誤り検出を実行す

る訂正後誤り検出手段とを有していることを特徴とする誤り訂正装置。

2. 誤り訂正装置は、更にバッファメモリに対するDMA転送を制御するDMA制御手段を備え、

上記システム制御手段は、

- 5 誤り訂正処理の開始にあたって上記DMA制御手段に上記バッファメモリから誤り訂正すべきデータを上記シンドローム計算手段と上記誤り検出手段とに転送する第1のDMA転送指示を与える第1のDMA転送指示小手段と、

上記誤り訂正装置から誤り訂正の完了が通知されると、上記シンドローム計算手段で誤り符号が検出された場合のみ上記シンドローム計算手段からの誤り符号列情報を元に上記

- 10 誤り符号が検出された符号列を含むそれ以降のデータを上記バッファメモリから上記誤り検出手段に転送する第2のDMA転送指示を与える第2のDMA転送指示小手段とを有し、
上記DMA制御手段は、

上記システム制御手段からの第1のDMA転送指示及び第2のDMA転送指示に従って上記バス制御手段にDMA転送の要求を行うバス制御手段用転送制御小手段を有している

- 15 ことを特徴とする請求項1記載の誤り訂正装置。

3. 各列がデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有する構造のデータを少なくとも1セクタ格納するバッファメモリと、該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り
20 数値計算を行ってバッファメモリ内の誤りデータを訂正する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数な
さしめる等の制御をするシステム制御手段とを有する誤り訂正装置において、

- 25 上記バス制御手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、上記バッファメモリから上記シンドローム計算手段と上記誤り検出手段とに列単位で同時に誤り訂正すべきデータを転送する同時転送小手段と、

- 30 上記シンドローム計算手段で誤り符号が検出された場合のみ、上記誤り訂正手段による誤り訂正後に、誤り符号が検出された列以降の誤りを訂正されたデータを含む当該セクタ

のデータを誤り検出のため上記バッファメモリから上記誤り検出手段にデータ転送するよう制御する誤り検出用データ転送小手段を有し、

上記誤り検出手段は、

上記シンドローム計算手段でのシンドローム計算と並行して上記バッファメモリから送られてくる符号列との誤り検出を実行する並行誤り検出小手段と、

上記シンドローム計算手段で誤り符号が検出された場合のみ、上記誤り訂正手段による誤り訂正後のデータに対して再度誤り検出を実行する誤り検出後誤り検出小手段とを有していることを特徴とする誤り訂正装置。

4. 誤り訂正装置は、更に上記バッファメモリに対するDMA転送を制御するDMA制御手段を備え、

上記システム制御手段は、

誤り訂正処理の開始にあたって上記DMA制御手段に上記バッファメモリから誤り訂正すべきデータを上記シンドローム計算手段と上記誤り検出手段とに転送する第1のDMA転送指示を与える第1のDMA転送小手段と、

上記誤り訂正装置から誤り訂正の完了が通知されると、上記シンドローム計算手段上で誤り符号が検出された場合のみ当該誤り符号が検出されたデータを含むセクタを上記バッファメモリから上記誤り検出手段に転送する第2のDMA転送指示を与える第2のDMA転送小手段とを有し、

上記DMA制御手段は、

上記システム制御手段からの第1のDMA転送指示及び第2のDMA転送指示に従って上記バス制御手段にDMA転送の要求を行うバス制御手段用転送制御小手段を有していることを特徴とする請求項3記載の誤り訂正装置。

5. 各列がデータ部と内符号パリティ部から構成されるN列の誤り訂正符号で一つの誤り検出コードを有する構造のデータを少なくとも1セクタ格納するバッファメモリと、

該バッファメモリから読出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置の検出及び誤り数値計算を実行してバッファメモリ内の誤りデータを訂正する誤り訂正手段と、誤り訂正手段によって訂正されたデータに対して1セクタ毎に誤り検出を行う誤り検出手段と、誤り検出手段における誤り検出処理の途中結果を列単位で格納する記憶手段と、バッファメモリとシンドローム計算手段と誤り訂正手段と誤り検出手段と間のデータ転送を司るバ

ス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段とを有する誤り訂正装置において、

上記バス制御手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、上記バッファメモリから上

- 5 記シンドローム計算手段と上記誤り検出手段とに誤り訂正すべきデータを列単位で同時に転送する第1の転送を実行し、上記シンドローム計算手段で誤り符号が検出されると上記第1の転送を中断する第1の転送小手段と、

上記シンドローム計算手段からのシンドロームを基に上記誤り訂正手段による誤り訂正後に、上記誤りが検出され、訂正された符号列を上記バッファメモリから上記誤り検出手段に転送する第2の転送を実行する第2の転送小手段と、

上記第2の転送の完了後に、上記第2の転送のなされた符号列以降の符号列について前記第1の転送小手段に第1の転送を再開させる第1の転送再開制御小手段を有し、

上記誤り検出手段は、

上記シンドローム計算手段で誤り符号が検出されるまでは、誤り検出の途中結果を符号列毎に上記記憶手段に格納しながら、上記シンドローム計算手段でのシンドローム計算と並行して上記バッファメモリから送られてくる符号列の誤り検出を行う第1の誤り検出を実行する第1の誤り検出小手段と、

上記シンドローム計算手段で誤り符号が検出されると上記誤り訂正手段により検出され誤りが訂正された当該符号列に対しては、上記記憶手段に既に記憶されている誤り発生前20 の内容の符号列から引き続いて誤り検出を行う第2の誤り検出を実行する第2の誤り検出小手段と、

当該訂正済の符号列へ対しての第2の誤り検出が完了後、後続の符号列に対しては、前記第1の誤り検出小手段による誤り検出を再開させる第1の誤り検出再開制御小手段とを有していることを特徴とする誤り訂正装置。

25 6. 上記誤り訂正装置は、更にバッファメモリに対するDMA転送を制御するDMA制御手段を備え、

上記システム制御手段は、

誤り訂正処理の開始にあたって上記DMA制御手段に上記バッファメモリから誤り訂正すべきデータを上記シンドローム計算手段と上記誤り検出手段とに転送するDMA転送指示30 示を与えるDMA転送指示小手段を有し、

上記DMA制御手段は、

上記システム制御手段からのDMA転送指示に従って上記バス制御手段にDMA転送の要求を行うバス制御手段用転送制御小手段を有していることを特徴とする請求項5記載の誤り訂正装置。

- 5 7. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを少なくとも1ECCブロック格納するバッファメモリと、該バッファメモリから読み出されたデータに対してシンドロームを生成するシンドローム計算手段と、シンドローム計算手段で生成されたシンドロームから誤り位置及び誤り数値計算を行ってバッファメモリ内の誤りデータを訂正する誤り訂正手段と、バッファメモリから読み出されたデータに対して誤り検出を行う誤り検出手段と、バッファメモリと前記シンドローム計算手段と誤り訂正手段と誤り検出手段との間のデータ転送を司るバス制御手段と、誤り訂正のための各種の処理を所定の手順で行いまた必要な回数なさしめる等の制御をするシステム制御手段を有する誤り訂正装置において、
- 10 15

上記システム制御手段は、

- 第1回目の誤り訂正として、バッファメモリから誤り検出コードの計算と同じ方向にデータを読み出して、上記シンドローム計算手段が誤り符号を検出するまでは上記シンドローム計算手段と上記誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させ、更に上記シンドローム計算手段が誤り符号を検出すると上記誤り訂正手段に対して誤り訂正を実行させ、併せて当該誤り符号を含む符号列を特定する情報を上記シンドローム計算手段若しくは上記誤り訂正手段からシステム制御装置に対して出力させる第1回誤り訂正制御小手段と、
- 20

- 偶数回目の誤り訂正として、先の奇数回目の誤り訂正で行った方向と異なる方向の符号列についてバッファメモリから読み出して、上記シンドローム計算手段が誤り符号を検出するまでは上記シンドローム計算手段と上記誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させ、更に上記シンドローム計算手段が誤り符号を検出すると上記誤り訂正手段に対して誤り訂正を実行させ、併せてその誤り訂正時に上記誤り訂正手段から得られる誤り訂正符号列内の誤り符号の位置を特定する情報をシステム制御装置に対して出力させる偶数回誤り訂正制御小手段と、
- 25 30

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲をセクタ単位で特定する誤り不存在範囲特定手段と、

第3回以降の奇数回目の誤り訂正として、1ECCブロック内で上記誤り不存在範囲特

- 5 定手段が先の偶数回までの誤り訂正で誤り符号の検出されなかった範囲としたセクタを除き先の奇数回目の誤り訂正で行ったのと同じ方向の符号について、上記シンドローム計算手段が誤り符号を検出するまでは上記シンドローム計算手段と上記誤り検出手段とに同時に転送し、前者にはシンドローム計算を後者には誤り検出を並行して実行させ、更に上記シンドローム計算手段が誤り符号を検出すると上記誤り訂正手段に対して誤り訂正を実
10 行させ、併せて当該誤り符号を含む符号列を特定する情報を上記シンドローム計算手段若しくは上記誤り訂正手段からシステム制御装置に対して出力させる奇数回誤り訂正制御小手段と、

上記奇数回と偶数回の誤り訂正を所定回繰り返させる回数制御手段とを有していることを特徴とする誤り訂正装置。

- 15 8. 前記回数制御手段は、

誤り訂正を最大3度繰り返させる3回繰り返し制御手段であることを特徴とする請求項7記載の誤り訂正装置。

9. 上記シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかった各符号列についての上記誤り検出手段における誤り検出処理の途中結果を符号

- 20 列単位で順に格納する記憶手段を有し、

前記誤り不存在範囲特定手段は、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲をセクタの符号列単位で特定する誤り不存在セクタの符号列範囲特定手段

- 25 であり、

前記奇数回誤り訂正制御手段は、

第3回目以降の奇数回の誤り訂正時には、上記誤り不存在セクタの符号列範囲特定手段の特定した情報を基に、上記バス制御手段に誤り符号の検出されたセクタの先頭からではなく誤り符号が検出されたセクタの符号列からのデータの同時転送を開始させ、併せて

- 30 上記シンドローム計算手段には当該符号列からシンドローム計算をなさせ、上記誤り検出

手段には前記記憶手段に記憶された内容を初期値としてセクタの途中の符号列から誤り検出を実行させる途中結果利用奇数回誤り訂正制御小手段であることを特徴とする請求項7若しくは請求項8記載の誤り訂正装置。

10. 上記シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかった各符号列についての上記誤り検出手段における誤り検出処理の途中結果を各セクタ毎に符号列単位で順に格納する各セクタ用記憶手段を有し、

前記誤り不存在範囲特定小手段は、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲を各セクタの各符号列単位で特定する各セクタ用誤り不存在符号列範囲特定小手段であり、

前記奇数回誤り訂正制御小手段は、

第3回目以降の奇数回の誤り訂正時には、上記各セクタ用誤り不存在符号列範囲特定小手段の特定した情報を基に、上記バス制御手段に誤り符号の検出されたセクタの先頭からではなく誤り符号が検出された各セクタ毎にその誤り符号が検出された符号列からのデータの同時転送を開始させ、併せて上記シンドローム計算手段には当該符号列からシンドローム計算をなさせ、上記誤り検出手段には前記記憶手段に記憶された内容を初期値としてセクタの途中の符号列から誤り検出を実行させる途中結果利用奇数回誤り訂正制御小手段であることを特徴とする請求項7若しくは請求項8記載の誤り訂正装置。

11. 上記シンドローム計算手段による誤り符号の検出の有るまでは、誤りの検出されなかった各符号列についての上記誤り検出手段における誤り検出処理の途中結果を各セクタ群毎に符号列単位で順に格納する各セクタ群用記憶手段を有し、

前記誤り不存在範囲特定小手段は、

上記誤り符号を含む符号列を特定する情報と上記誤り訂正符号列内の誤り符号の位置を特定する情報とから、奇数回目及びそれに続く偶数回目の誤り訂正で誤り符号が検出されなかった範囲を各セクタ群の各符号列単位で特定する各セクタ群用誤り不存在符号列範囲特定小手段であり、

前記奇数回誤り訂正制御小手段は、

第3回目以降の奇数回の誤り訂正時には、上記各セクタ用誤り不存在符号列範囲特定小手段の特定した情報を基に、上記バス制御手段に誤り符号の検出されたセクタの先頭から

ではなく誤り符号が検出された各セクタ群毎にその誤り符号が検出された符号列からのデータの同時転送を開始させ、併せて上記シンドローム計算手段には当該符号列からシンドローム計算をなさせ、上記誤り検出手段には前記記憶手段に記憶された内容を初期値としてセクタの途中の符号列から誤り検出を実行させる途中結果利用奇数回誤り訂正制御小手段であることを特徴とする請求項7若しくは請求項8記載の誤り訂正装置。

12. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

15 各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックバイブライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

13. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において

10 更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

15 各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格

20 納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り

25 訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用各ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数
30 回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことで、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

14. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

上記バッファメモリは、
並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、
各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、
誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことで、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

15. 複数回誤り訂正が可能となるようデータ部とバリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項11に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みの際の制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる各手段用ECCブロック認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段

段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック認識制御小手段とを有していることを特徴とする誤り訂正装置。

16. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選

定を行わせる各手段用各ECCブロック符号列等認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理

- 5 対象になったECCブロックを前記各ECCブロック区分け記憶可能型バッファメモリへ格納したと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

- 10 17. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において更に、

- 15 上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

- 20 目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

- 25 誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

- 30 上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り

訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選

5 定を行わせる各手段用各ECCブロック符号列等認識制御手段と、

自システム制御手段内の第1回誤り訂正制御手段、偶数回誤り訂正制御手段、奇数回誤り訂正制御手段、回数制御手段その他若し有しているならばDMA転送指示手段等、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記各ECCブロック区分け記憶可能型バッファメモリへ

10 格納したことと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック符号列等認識制御手段と有していることを特徴とする誤り訂正装置。

18. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

15

上記バッファメモリは、

20 並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎

25 の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格

30 納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、

上記誤り訂正手段に認識させる各手段用 E C C ブロックパイプライン処理認識制御手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り

- 5 訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としている E C C ブロックについて、前記処理対象 E C C ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象の E C C ブロックの符号列等の選定を行わせる各手段用各 E C C ブロック符号列等認識制御手段と、

- 10 自システム制御手段内の第 1 回誤り訂正制御手段、偶数回誤り訂正制御手段、奇数回誤り訂正制御手段、回数制御手段その他若し有しているならば D M A 転送指示手段等にて、誤り訂正処理の終了した E C C ブロックを後流側へ流しそれに換えて新しく処理対象になった E C C ブロックを前記各 E C C ブロック区分け記憶可能型バッファメモリへ格納したと、前記処理対象 E C C ブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としている E C C ブロックやその符号列等
- 15 とを認識させる自手段内各小手段用のパイプライン処理における各 E C C ブロック符号列等認識制御手段と有していることを特徴とする誤り訂正装置。

- 1 9 . 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たる E C C データ
- 20 を複数対象にしてその誤り訂正を並列に行うため請求項 1 1 に記載の誤り訂正装置において更に、

上記バッファメモリは、

- 並列に処理する各 E C C ブロックを区分けして格納する各 E C C ブロック区分け記憶可能型バッファメモリであり、
- 25

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各 E C C ブロック毎に区分けし、更に各 E C C ブロック毎の符号列、各 E C C ブロックの各セクタ群毎の符号列若しくは各 E C C ブロックの各セクタ毎の符号列を区分けして格納する処理対象 E C C ブロックと符号列等区分け可能型記憶手段

30 であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを後流側へ流し、それに換えて新しく処理対象になったECCブロックを前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、

- 5 上記誤り訂正手段に認識させる各手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの

- 10 前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる各手段用各ECCブロック符号列等認識制御小手段と、

自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを後流側へ流しそれに換えて新しく処理対象になったECCブロックを前記各ECCブロック区分け記憶可能型バッファメモリへ格納した

- 15 ことと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。
- 20

20. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ(横方向はセクタと言う)を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

- 25 上記バッファメモリは、
並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

- 30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分け記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく

- 5 処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正

- 10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一括型各手段用各ECCブロック認識制御小手段と、

- 15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック認識制御小手段と有していることを特徴とする誤り訂正装置。
- 20

21. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

- 30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく

- 5 処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正

- 10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一括型各手段用各ECCブロック認識制御小手段と、

- 15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック認識制御小手段と有していることを特徴とする誤り訂正装置。
- 20

2.2. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを

25

を複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

- 30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分け記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく

- 5 処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正

- 10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一括型各手段用各ECCブロック認識制御小手段と、

- 15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック認識制御小手段と有していることを特徴とする誤り訂正装置。
- 20

23. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項11に記載の誤り訂正装置において更に、

25

上記バッファメモリは、

並列に処理するECCブロックに相応した複数ECCブロック区分け記憶可能型バッファメモリであり、

- 30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

各処理対象のECCブロック毎に区分けして格納する処理対象ECCブロック区分型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく

- 5 処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム計算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型手段用ECCブロックパイプライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正

- 10 手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に目下処理対象としているECCブロックを認識し、必要な処理対象のECCブロックの選定を行わせる一括型各手段用各ECCブロック認識制御小手段と、

- 15 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納したと、前記各小手段が目下処理対象としているECCブロックとを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック認識制御小手段と有していることを特徴とする誤り訂正装置。
- 20

24. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため、請求項1、請求項2、請求項5、請求項6、請求項7若しくは請求項8に記載の誤り訂正装置において更に、

- 25

上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

- 30 前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

5 前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイプ

10 ライン処理認識制御手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みの際

15 としての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる一括型各手段用各ECCブロック符号列等認識制御手段と、

自システム制御手段内の第1回誤り訂正制御手段、偶数回誤り訂正制御手段、奇数回誤り訂正制御手段、回数制御手段その他若し有しているならばDMA転送指示手段等に、誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能型バッファメモリへ格納したことで、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等を認識させる自手段内各小手段用のパイプライン処理における一括型
25 各ECCブロック符号列等認識制御手段と有していることを特徴とする誤り訂正装置。

25. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項9に記載の誤り訂正装置において

30 更に、

上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

- 5 目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

- 10 誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイプライン処理認識制御手段と、

- 15 上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能
20 型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選定を行わせる一括型各手段用各ECCブロック符号列等認識制御手段と、

- 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数回誤り訂正制御小手段、回数制御小手段その他若し有しているならばDMA転送指示小手段等に、誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新
25 しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能型バッファメモリへ格納したことと、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等を認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御手段と有していることを特徴とする誤り訂正装置。

- 30 26. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符

号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項10に記載の誤り訂正装置において更に、

5 上記バッファメモリは、

並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

10 目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

15 誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイプライン処理認識制御手段と、

20 上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選
25 定を行わせる一括型各手段用各ECCブロック符号列等認識制御手段と、

自システム制御手段内の第1回誤り訂正制御手段、偶数回誤り訂正制御手段、奇数回誤り訂正制御手段、回数制御手段その他若し有しているならばDMA転送指示手段等に、誤り訂正処理の終了したECCブロックを一括して後流側へ流しそれに換えて新しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能
30 バッファメモリへ格納したことで、前記処理対象ECCブロックと符号列等区分け可能型

記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御小手段と有していることを特徴とする誤り訂正装置。

27. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符

- 5 号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にしてその誤り訂正を並列に行うため請求項11に記載の誤り訂正装置において更に、

上記バッファメモリは、

- 10 並列に処理する各ECCブロックを区分けして格納する各ECCブロック区分け記憶可能型バッファメモリであり、

前記誤り検出手段の生成する誤り検出処理の途中結果を格納する記憶手段は、

目下処理対象としている各ECCブロック毎に区分けし、更に各ECCブロック毎の符号列、各ECCブロックの各セクタ群毎の符号列若しくは各ECCブロックの各セクタ毎
15 の符号列を区分けして格納する処理対象ECCブロックと符号列等区分け可能型記憶手段であり、

前記システム制御手段は、

誤り訂正処理の終了したECCブロックを一括して後流側へ流し、それに換えて新しく
処理対象になったECCブロックを一括して前記複数ECCブロック区分け記憶可能型バ
20 ッファメモリへ格納し、併せてこの事を上記バス制御手段、上記シンドローム演算手段、
上記誤り検出手段、上記誤り訂正手段に認識させる一括型各手段用ECCブロックパイ
プライン処理認識制御小手段と、

上記バス制御手段による上記シンドローム計算手段と上記誤り検出手段と上記誤り訂正
手段への誤り検出や誤り訂正のためのデータの転送の制御、上記誤り訂正手段による誤り
25 訂正、上記バス制御手段による該訂正後のデータの前記バッファメモリへの書き込みに際
しての制御、上記誤り検出手段が上記記憶手段へ途中結果を格納する際に、目下処理対象
としているECCブロックについて、前記処理対象ECCブロックと符号列等区分け可能
型記憶手段の記憶する内容に相応して、必要な処理対象のECCブロックの符号列等の選
定を行わせる一括型各手段用各ECCブロック符号列等認識制御小手段と、

- 30 自システム制御手段内の第1回誤り訂正制御小手段、偶数回誤り訂正制御小手段、奇数

回誤り訂正制御手段、回数制御手段その他若し有しているならばDMA転送指示手段等にて、誤り訂正処理の終了したECCブロックを一括して後流側へ渡しそれに換えて新しく処理対象になったECCブロックを一括して前記各ECCブロック区分け記憶可能バッファメモリへ格納したこと、前記処理対象ECCブロックと符号列等区分け可能

5 記憶手段の記憶する内容に相応して前記各小手段が目下処理対象としているECCブロックやその符号列等とを認識させる自手段内各小手段用のパイプライン処理における一括型各ECCブロック符号列等認識制御手段と有していることを特徴とする誤り訂正装置。

28. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを対象にしてその誤り訂正を行うだけでなく、復調した符号をバッファメモリに格納する際にもこれと並列にシンドローム計算と誤り検出を行う誤り訂正装置であって、

10 バッファメモリを介してシンドローム計算を行う第1のシンドローム計算手段と、

前記第1のシンドローム計算手段と組の第1の誤り検出手段と、

15 復調した符号をバッファメモリを介さずシンドローム計算を行う第2のシンドローム計算手段と、

前記第2のシンドローム計算手段と組の第2の誤り検出手段と、

前記第1の誤り検出手段と前記第2の誤り検出手段の演算の途中結果を格納する記憶手段と、

20 上流から送られてきたデータを、前記第2のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納するのに並行して前記第2のシンドローム計算手段と第2の誤り検出手段とに送るバッファメモリ並行転送手段と、

前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送り、更に同じ方向の第2回目以降の誤り訂正においては前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送る様に切換えを行う検出手段切換え手段と、

25 前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行う誤り訂正手段と、

30 同じ方向の第2回目以降の誤り訂正においては、前記第1のシンドローム計算手段が誤

り符号を検出するまではバッファメモリに格納されているデータのうち、前記記憶手段に格納されている以降の符号列から前記第1のシンドローム計算手段と第1の誤り検出手段とに送る並行転送制御手段と、

- 5 同じ方向の第2回目以降の前記第2の誤り検出手段による誤り検出においては、前記記憶手段に記憶されている途中結果を利用して以降の符号列の誤り検出を行わせる第2回目以降検出処理済データ流用制御手段とを有していることを特徴とする誤り訂正装置。

29. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを対象にしてその誤り訂正を行うだけでなく、復調した符号をバッファメモリに格納する際にもこれと並列にシンドローム計算と誤り検出を行う誤り訂正装置であって、

バッファメモリを介してシンドローム計算を行う第1のシンドローム計算手段と、

前記第1のシンドローム計算手段と組の第1の誤り検出手段と、

- 15 復調した符号をバッファメモリを介さずシンドローム計算を行う第2のシンドローム計算手段と、

前記第2のシンドローム計算手段と組の第2の誤り検出手段と、

前記第1の誤り検出手段と前記第2の誤り検出手段の、ECCブロック、各セクタ、各セクタ群等毎の予め定められたデータ単位毎における演算の途中結果を当該データ単位毎に区分けして格納する記憶手段と、

- 20 上流から送られてきたデータを、上記データ単位毎に前記第2のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納するのに並行して前記第2のシンドローム計算手段と第2の誤り検出手段とに順に送るバッファメモリ並行転送手段と、

- 上記データ単位毎に、前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送り、更に同じ方向の第2回目以降の誤り訂正においては前記第2のシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する前記第2の誤り検出手段の演算の途中結果を前記記憶手段に送る様に切換えを行う検出手段切換え手段と、

- 前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行う誤り訂正手段と、

同じ方向の第2回目以降の誤り訂正においては、上記データ単位毎に前記第1のシンドローム計算手段が誤り符号を検出するまではバッファメモリに格納されているデータのうち、前記記憶手段に格納されている以降の符号列から前記第1のシンドローム計算手段と第1の誤り検出手段とに送る並行転送制御手段と、

- 5 前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行う誤り訂正手段と、

上記データ単位毎に、前記第2の誤り検出手段による同じ方向の第2回目以降の誤り検出においては、前記記憶手段に記憶されている途中結果を利用して以降の符号列の誤り検出を行わせる第2回目以降検出処理済データ流用制御手段とを有していることを特徴とする誤り訂正装置。

- 10 30. 複数回誤り訂正が可能となるようデータ部とパリティ部からなる誤り訂正符号列を縦方向と横方向とに複数配置し、縦若しくは横方向の所定数の列からなる所定のデータ（横方向はセクタと言う）を単位として誤り訂正を行うデータ構造たるECCデータを複数対象にして、いわゆるパイプライン処理によりそれらの誤り訂正を同時あるいは並列的に行うだけでなく、復調したデータをバッファメモリに格納する際にもこれと並列に当該復調したデータに対してシンドローム計算と誤り検出を行う誤り訂正装置であって、

パイプラインで処理する各ECCブロックを区分けして格納するバッファメモリと、
シンドローム計算を行う第1のシンドローム計算手段と、

- 前記第1のシンドローム計算手段と組の第1の誤り検出手段と、
20 シンドローム計算を行う第2のシンドローム計算手段と、
前記第2のシンドローム計算手段と組の第2の誤り検出手段と、

前記第1の誤り検出手段と前記第2の誤り検出手段の、ECCブロック、各セクタ、各セクタ群等毎の予め定められたデータ単位毎における演算の途中結果を目下処理している各ECCブロックの当該データ単位毎に区分けして格納する記憶手段と、

- 25 上流側から送られてくる復調されたデータに対してのシンドローム計算を上記2個のシンドローム計算手段のいずれか一方に行わせ、また前記バッファメモリに格納されているデータが有れば他方のシンドローム計算手段にシンドローム計算を行わせる復調符号用計算選択手段と、

- 上流から送られてきたデータを、上記データ単位毎に前記復調符号用計算選択手段に選択されたシンドローム計算手段が誤り符号を検出するまでは、前記バッファメモリに格納
- 30

するのに並行して該シンドローム計算手段とこれと組の誤り検出手段とに順に送るバッファメモリ並行転送手段と、

上記データ単位毎に、前記復調符号用計算選択手段に選択されたシンドローム計算手段が上流から送られてきたデータに対して誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する組の誤り検出手段の演算の途中結果を前記記憶手段に送り、更に同じ方向の第2回目以降の誤り訂正においては担当するシンドローム計算手段が誤り符号を検出した後は、当該誤り符号が検出されるまでの符号列に対する対応する組の誤り検出手段の演算の途中結果を前記記憶手段に送る様に切換えを行う検出手段切換え手段と、

前記第1の誤り検出手段若しくは前記第2の誤り検出手段が誤り符号列を検出した後は誤り訂正を行う誤り訂正手段と、

前記バッファメモリに格納されたデータに対してのシンドローム計算を上記2個のシンドローム計算手段のいずれに行わせるかを、上記各ECCブロック、データ単位毎に決定する格納符号用計算選択手段と、

同じ方向の第2回目以降の誤り訂正においては、上記データ単位毎に前記第1のシンドローム計算手段が誤り符号を検出するまでは前記バッファメモリに格納されているデータのうち、前記記憶手段に格納されている以降の符号列から前記第1のシンドローム計算手段と第1の誤り検出手段うち担当する方に送る並行転送制御手段と、

上記データ単位毎に、前記いずれかの誤り検出手段による同じ方向の第2回目以降の誤り検出においては、前記記憶手段に記憶されている途中結果を利用して以降の符号列の誤り検出を行わせる第2回目以降検出処理済データ流用制御手段と、

誤り訂正処理の終了したECCブロックを所定の手順で後流側へ流し、それに換えて新しく処理対象になったECCブロックを所定の手順で前記バッファメモリへ格納し、併せてこの事を前記符号用計算選択手段、前記バッファメモリ並行転送手段、前記検出手段切換え手段、前記2個のシンドローム演算手段、前記誤り検出手段、前記誤り訂正手段、前記並行転送制御手段、前記第2回目以降検出処理済データ流用制御手段とに認識させる各手段用パイプライン処理認識制御手段と、

上記各手段による各種処理に際しての目下処理対象としているECCブロックやデータ単位の転送や書き換えの制御、誤り訂正処理の終了したECCブロックを所定の手順で後流側へ流しそれに換えて新しく処理対象になったECCブロックを所定の手順で前記バッファメモリへ格納させる際の他部との調整等を行うシステム制御手段とを有していること

を特徴とする誤り訂正装置。

31. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に
5 合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8、請求項28、請求項29若しくは請求項30に記載の誤り訂正装置。

32. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に
15 合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項9に記載の誤り訂正装置。

20 33. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に
合わせて交互に格納するバッファメモリ格納制御手段と、

25 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項10に記載の誤り訂正装置。

34. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

30 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セ

クタ分、1 E C C分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に
合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
統する1セクタ、1 E C C分等所定の容量毎に交互に切り換えるアクセス対象バッファメ

- 5 モリ切換え制御手段とを有していることを特徴とする請求項11に記載の誤り訂正装置。

35. 上記バッファメモリは、1セクタ分、1 E C C分等所定の容量のものを2個
有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セ
クタ分、1 E C C分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に

- 10 合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
統する1セクタ、1 E C C分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
モリ切換え制御手段とを有していることを特徴とする請求項12に記載の誤り訂正装置。

36. 上記バッファメモリは、1セクタ分、1 E C C分等所定の容量のものを2個
15 有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セ
クタ分、1 E C C分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に
合わせて交互に格納するバッファメモリ格納制御手段と、

- 20 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
統する1セクタ、1 E C C分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
モリ切換え制御手段とを有していることを特徴とする請求項13に記載の誤り訂正装置。

37. 上記バッファメモリは、1セクタ分、1 E C C分等所定の容量のものを2個
有し、

- 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セ
25 クタ分、1 E C C分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に
合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連
統する1セクタ、1 E C C分等所定の容量毎に交互に切り換えるアクセス対象バッファメ
モリ切換え制御手段とを有していることを特徴とする請求項14に記載の誤り訂正装置。

- 30 38. 上記バッファメモリは、1セクタ分、1 E C C分等所定の容量のものを2個

有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

- 5 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項15に記載の誤り訂正装置。

39. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

- 10 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項16に記載の誤り訂正装置。

- 15 40. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

- 20 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項17に記載の誤り訂正装置。

41. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

- 25 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項18に記載の誤り訂正装置。

- 30 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

メモリ切換え制御手段とを有していることを特徴とする請求項 18 に記載の誤り訂正装置。

42. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

- 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 19 に記載の誤り訂正装置。

- 10 43. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

- 15 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 20 に記載の誤り訂正装置。

44. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

- 20 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項 21 に記載の誤り訂正装置。

- 25 45. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

30

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項22に記載の誤り訂正装置。

46. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個

5 有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

10 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項23に記載の誤り訂正装置。

47. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個
有し、

15 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項24に記載の誤り訂正装置。

20 48. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個
有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1ECC分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

25 誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1ECC分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項25に記載の誤り訂正装置。

49. 上記バッファメモリは、1セクタ分、1ECC分等所定の容量のものを2個
有し、

30 更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セ

クタ分、1 E C C分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C分等所定の容量毎に交互に切り換えるアクセス対象バッファメ

- 5 モリ切換え制御手段とを有していることを特徴とする請求項26に記載の誤り訂正装置。

50. 上記バッファメモリは、1セクタ分、1 E C C分等所定の容量のものを2個有し、

更に、DVDやCD-ROMから読み出した等の誤り訂正の対象となる相連続する1セクタ分、1 E C C分等所定の容量のデータを上記2個のバッファメモリに誤り訂正速度に

- 10 合わせて交互に格納するバッファメモリ格納制御手段と、

誤り訂正の対象となるデータの読み出しや書き込みがなされるバッファメモリを、相連続する1セクタ、1 E C C分等所定の容量毎に交互に切り換えるアクセス対象バッファメモリ切換え制御手段とを有していることを特徴とする請求項27に記載の誤り訂正装置。